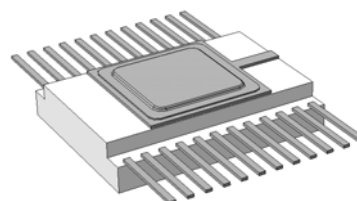




## ЧЕТЫРЕХКАНАЛЬНЫЙ БИПОЛЯРНЫЙ КОММУТАТОР ТОКА С ЛОГИКОЙ НА ВХОДЕ

### ОСОБЕННОСТИ

- Номинальное напряжение питания логической части микросхемы  $U_{CC1} = 5 \text{ В}$ .
- Номинальное напряжение питания аналоговой части микросхемы  $U_{CC2} = -5 \text{ В}$ .
- Коммутируемое напряжение  $U_s = 13.5 - 29.7 \text{ В}$ .
- Максимальный ток  $0.2 \text{ А}$ .
- Ток потребления от источника  $U_{CC1}$  не более  $50 \text{ мА}$ .
- Ток потребления от источника  $U_{CC2}$  не более  $120 \text{ мА}$ .
- Ток потребления по аналоговому входу  $U_s$  не более  $15 \text{ мА}$ .



Корпус 4118.24-1Н  
Типономинал К1109КТ8

### ОПИСАНИЕ ВЫВОДОВ

Номер вывода	Обозначение	Назначение вывода
1	UCC1	Питание +5 В
2	ARD1	Вход адреса считывания 1
3	UCC3	Питание +27 В
4	F1	Выход формирователя 1
5	F2	Выход формирователя 2
6	UCC2	Питание минус 5 В
7	F3	Выход формирователя 3
8	F4	Выход формирователя 4
9	OV	Общий вывод
10	CH	Контрольный вывод
11	INV	Вход инверсии формирователя 1
12	EWR6	Вход разрешения записи 6
13	EWR4	Вход разрешения записи 4
14	EWR2	Вход разрешения записи 2
15	EWR5	Вход разрешения записи 5
16	EWR3	Вход разрешения записи 3
17	EWR1	Вход разрешения записи 1
18	AWR1	Вход адреса записи в разряд 1 дешифратора
19	AWR2	Вход адреса записи в разряд 2 дешифратора
20	D4	Информационный вход 4 разряда регистров
21	D3	Информационный вход 3 разряда регистров
22	D2	Информационный вход 2 разряда регистров
23	D1	Информационный вход 1 разряда регистров
24	ARD2	Вход адреса считывания 2

## ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

$T_j = -60^{\circ}\text{C} \div +85^{\circ}\text{C}$ .

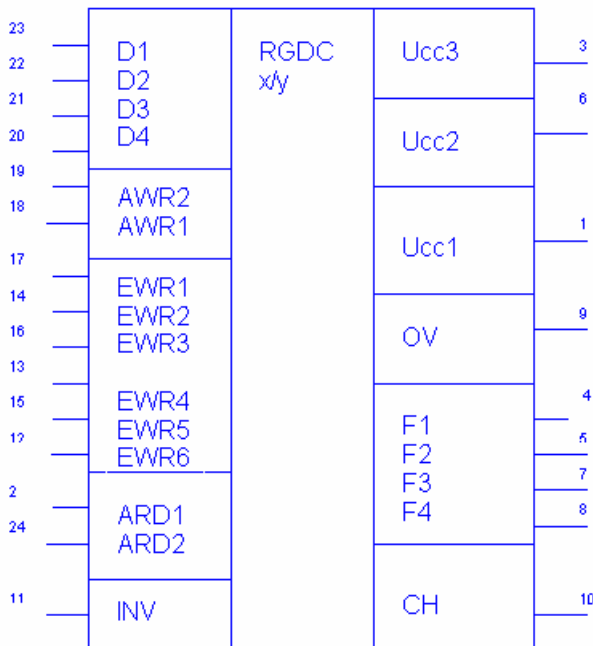
Наименование параметра, ед. измерения	Букв. обозн.	Норма не менее	Норма не более	Режим измерен.
1. Остаточное напряжение, В $I_s = 0.2\text{A}$ $I_s = 0.02\text{A}$	$U_{DC}$	- -	1.5 1.0	
2. Выходное напряжение низкого уровня контрольного выхода, В	$U_{OLCH}$	-	0.4	
3. Выходное напряжение высокого уровня контрольного выхода, В	$U_{OHCH}$	2.4	-	
4. Входной ток низкого уровня, мА по входам: D1-D4 EWR1-EWR6, AWR1, AWR2, ARD1, ARD2, IN	$I_{IL}$	- - -	0.18 0.36 0.36	
5. Входной ток высокого уровня, мкА по входам: D1-D4 EWR1-EWR6, AWR1, AWR2, ARD1, ARD2, IN	$I_{IH}$	- - -	20 40 40	
6. Ток потребления от источника $U_{CC1}$ , мА	$I_{CC1}$	-	50	
7. Ток потребления от источника $U_{CC2}$ , мА	$I_{CC2}$	-	120	
8. Ток потребления по аналоговому входу, мА	$I_{CC}$	-	15	
9. Ток утечки аналогового входа, мкА	$I_{LC}$	-	100	
10. Ток утечки аналогового выхода, мкА	$I_{LD}$	-	100	
11. Выходной ток низкого уровня в состоянии "Выключено", мкА	$I_{OZL}$	-	30	
12. Выходной ток высокого уровня в состоянии "Выключено", мкА	$I_{OZH}$	-	30	
13. Время задержки распространения сигнала при включении, мкс ( $U_s = 27\text{V}$ )	$t_{PHL}$	-	2.5	
14. Время задержки распространения сигнала при выключении, мкс ( $U_s = 27\text{V}$ )	$t_{PLH}$	-	3.5	

## МАКСИМАЛЬНЫЕ ЗНАЧЕНИЯ РЕЖИМОВ

Наименование параметров режима, единица измерения	Букв обознач	Норма				Время воздействия предельного режима, мкс	Примечание
		предельно-допустимый режим		предельный режим			
		не менее	не более	не менее	не более		
Управляющее напряжение низкого уровня, В	$U_{II}$	0	0.7	- 0.5	-	-	1
Управляющее напряжение высокого уровня, В	$U_{IH}$	2.0	5.5	-	6.0	-	1
Напряжение питания логической части микросхемы, В	$U_{CC1}$	4.5	5.5	-	6.0	30	1
Напряжение питания аналоговой части микросхемы, В $I_S = 200$ мА $I_S = 20$ мА	$U_{CC2}$	-5.5 -5.5	-4.5 -2.7	-6.0 -6.0	- -	30 30	1
Коммутируемое напряжение, В	$U_S$	13.5	29.7	-	30	-	1
Входное напряжение, В	$U_I$	0	5.5	- 0.5	6.0	30	1
Коммутируемый ток, А втекающий вытекающий ( $U_S = 27$ В)	$I_S$	- 0.5	0.2 -	- -	0.25	30	1 2
Рабочая частота записи информации в регистры, МГц	f	-	1.0	-	-	-	

**Примечания:** 1. Для предельного режима скважность  $Q > 10$ .  
2. В течение времени не менее 4 мкс.

УСЛОВНОЕ ГРАФИЧЕСКОЕ ОБОЗНАЧЕНИЕ



ОПИСАНИЕ ФУНКЦИОНАЛЬНОЙ СХЕМЫ

Функциональная схема включает три четырехразрядных регистра с записью информации по фронту. Запись информации происходит в один четырехразрядных регистров по сигналу, вырабатываемому дешифратором. Сигналы, поданные на входы 18 и 19, определяют выбранный с помощью дешифратора регистр.

Разрешение на формирование сигнала с выхода дешифратора производится по входам 17,16,15,14,13 и 12.

После записи информации в четырехразрядный регистр имеется возможность вывести эту информацию, используя мультиплексор. Номер регистра, из которого осуществляется вывод информации, определяется кодом, подаваемым на входы 2 и 24.

Четыре выхода мультиплексора связаны с выходным формирователем (SW), причем выход первого мультиплексора через схему сравнения по модулю два.

Схема контроля позволяет осуществлять контроль состояния нагрузки (короткое замыкание нагрузки), информация со схемы контроля попадает на сумматор (M2) по модулю два и используется в реальной аппаратуре для определения количества отказавших нагрузок.

Ниже представлена краткая информация по управлению микросхемой, которая позволяет значительно упростить понимание работ БИС.

Запись информации производится по фронту импульса в три четырехразрядных регистра только по входам разрешения записи EMR1-EMR6 с предварительным выбором адреса регистра AWR1 и AMR2 по следующей схеме:

Номер вывода адреса записи (условное обозначение вывода)	Уровни сигналов разрешения записи			Уровни сигналов запрещения записи
	в регистр 1	в регистр 2	в регистр 3	
19 (AWR2)	UIL	UIL	UIH	UIH
18 (AWR1)	UIL	UIH	UIL	UIH

Для того, чтобы произошла запись в регистры, на входы разрешения записи выводы 17-12 (EWR1,EWR2,EWR3,EWR4,EWR5 и EWR6) необходимо подать уровни сигналов UIL,UIH,UIL,UIH,UIL и UIH соответственно.

Для считывания информации из регистров на входы адресов считывания выводы 2 и 24 (ARD1 и ARD2) подают следующие сигналы:

Номер вывода адреса считывания (условное обозначение вывода)	Считывание информации			Запрещение считывания
	из регистра 1	из регистра 2	из регистра 3	
2 (ARD1)	UIL	UIH	UIL	UIH
24 (ARD2)	UIL	UIL	UIH	UIH

При запрещении считывания все входы микросхемы должны находится в состоянии высокого уровня выходного сигнала.

Контрольный выход микросхемы CH характеризует состояние выходов при разрешающих сигналах записи информации в регистры на выводы 17-12. В остальных случаях он находится в третьем состоянии.

**ОПИСАНИЕ РАБОТЫ СХЕМЫ ВХОДНОГО БУФЕРА**

Электрическая схема БИС построена в основном с использованием стандартных ТТЛШ-вентилей, хорошо описанных в литературе.

Каждый вентиль, на которых построена вся схема, формирует на своем выходе стандартный ТТЛ уровень. ("0" - уровень напряжения <0,7В, "1" - уровень напряжения >2,0В).

Рассмотрим работу входного буфера. Входной буфер изображен на блоке DD1.1

Предположим, что на входе 23 микросхемы подается напряжение соответствующее уровню логической "0"  $U_I=0,7$  В, тогда на базе транзистора VT1 напряжение равно  $U_{б\ vt1} = U_I + U_{эб\ vt1} = 0,7 + 0,7 = 1,4$  В

Этого напряжения недостаточно для того, чтобы обеспечить прямое смещение трех переходов: база-коллекторного VT1, база-эмиттерных VT2 и VT4, поэтому транзистор VT2 и VT4- находятся в закрытом состоянии.

Ток через резистор R2 течет в базу транзистора VT3, последний открывается и формирует на выходе напряжений

$$U_{вых} = U_{сc1} - U_{r2} - U_{эб\ vt3} - U_{вд\ 1} = 5 - 0,1 - 1,4 = 3,5 \text{ В,}$$

- где:  $U_{r2}$  - падение напряжения на резисторе R2  
 $U_{эб\ vt3}$  - падение напряжения на эмиттер-базовом переходе  
 $U_{вд\ 1}$  - падение напряжения на диоде  $U_{д1}$

Напряжение  $U_{вых}$  соответствует уровню логической единицы.

Предположим теперь, что на вход 23 подается напряжение логической "1", тогда, учитывая, что на базе VT1 напряжение не может быть выше 2,1 В ( что соответствует трем прямосмещенным переходам ), база - эмиттерный переход транзистора VT1 при этом заперт.

Открытый транзистор VT4 формирует на выходе напряжение  $U_{\text{вых}} = U_{\text{кэ vt4}} = 0,2 \dots 0,4 \text{ В}$

На коллекторе VT2 формируется напряжение, равное  $U_{\text{к vt2}} = U_{\text{бэ vt4}} + U_{\text{кэ vt2}} = 0,7 + 0,3 = 1 \text{ В}$

Напряжение между базой VT3 и выходом составляет  $U_{\text{к vt2}} - U_{\text{вых}} = 1 \text{ В} - 0,3 \text{ В} = 0,7 \text{ В}$

Этого напряжения недостаточно для открывания транзистора VT3, последний при этом закрыт.

#### ОПИСАНИЕ РАБОТЫ D-ТРИГГЕРА, ТАКТИРУЕМОГО ФРОНТОМ

Электрическая схема D-триггера, тактируемого фронтом, изображена на блоке DD2.1.

Полное описание подхода в проектировании таких схем приведено в книге А.Г.Алексеенко и И.И.Шагурина "Микросхемотехника" Москва, Радио и Связь, 1982г. на страницах 188...193.

Запись информации в регистре производится по отрицательному фронту сигнала, подаваемому по входу С.

Электрическая схема блока DD2.1 отличается от приведенной в вышеуказанной литературе только наличием резисторов R7 и R8, без которых она работает крайне неустойчиво.

#### ОПИСАНИЕ РАБОТЫ ВЫХОДНОГО КАСКАДА

Принципиальная электрическая схема выходного каскада изображена на блоке DA1.1.

Входной сигнал, управляющий выходным каскадом БИС, поступает на базу транзистора VT3, который совместно с транзистором VT2 образует эмиттерно-связанную пару. Токи коллекторов формируются поочередно в зависимости от уровня входного напряжения на базе транзистора VT3.

Порог срабатывания определяется потенциалом формируемым на базе транзистора VT2:  $U_{\text{б vt2}} = U_{\text{вд3}} + U_{\text{вд4}} = 1,4 \text{ В}$

В случае, если напряжение на входе выходного каскада меньше  $U_{\text{б VT2}}$ , тогда транзистор VT3 - включен и течет коллекторный ток транзистора VT3. Этот коллекторный ток включает транзистор VT13.

Ток коллектора VT13 включает транзистор VT15 в открытом состоянии. Транзистор VT5 также находится в открытом состоянии, однако транзистор VT2 закрыт и у него отсутствуют коллекторные токи.

Закрыты транзисторы VT4, VT7, VT8, VT10, VT6, VT9, VT12 и VT14.

Таким образом верхние выходные транзисторы VT12 и VT14 - закрыты, нижние VT13 и VT15 - открыты.

Предположим теперь, что на базу транзистора VT3 подается напряжение логической "1", тогда транзистор VT3 - закрывается, а VT2 - открывается.

Учитывая, что транзистор VT5 находился в открытом и глубоко насыщенном состоянии, первое время ток коллектора транзистора VT2 будет течь через него. Транзистор VT4 при этом будет первое время также закрыт и ток коллектора VT2 потечет в базу VT8. Последний откроется, что вызовет также открывание транзисторов VT9, VT12, VT14 и VT10. Последний при этом будет запирает транзистор VT13, а транзисторы VT12 и VT14 откроются и сформируют большой ток (не менее 0,5 А) для активного запирающего рpn диода, который стоит в нагрузке.

После того как транзистор VT5 закрывается, коллекторный ток транзистора VT2 потечет через диод VD5 в базу транзистора VT4. Транзистор VT4 - откроется и закроет транзисторы VT8,VT10,VT9,VT12 и VT14.

Состояние высокого уровня после протекания импульсного формируемого тока 0,5А поддерживаемого тем, что токовое зеркало, построенное на транзисторе VT6, формирует на выходе ток, примерно равный коллекторному току транзистора VT7.

Этот ток определяется по формуле:

$$I_{квт7} = \frac{2U_d - U_{76}}{R_{11}} = \frac{0,7 \text{ В}}{0,7 \text{ к}} = 1 \text{ мА}$$

Таким образом, выходной каскад имеет следующие особенности:

1. При переключении из низкого уровня напряжения на выходе в высокое формируется импульс тока включающий мощные транзисторы VT12 и VT14 которые через некоторое время закрываются.

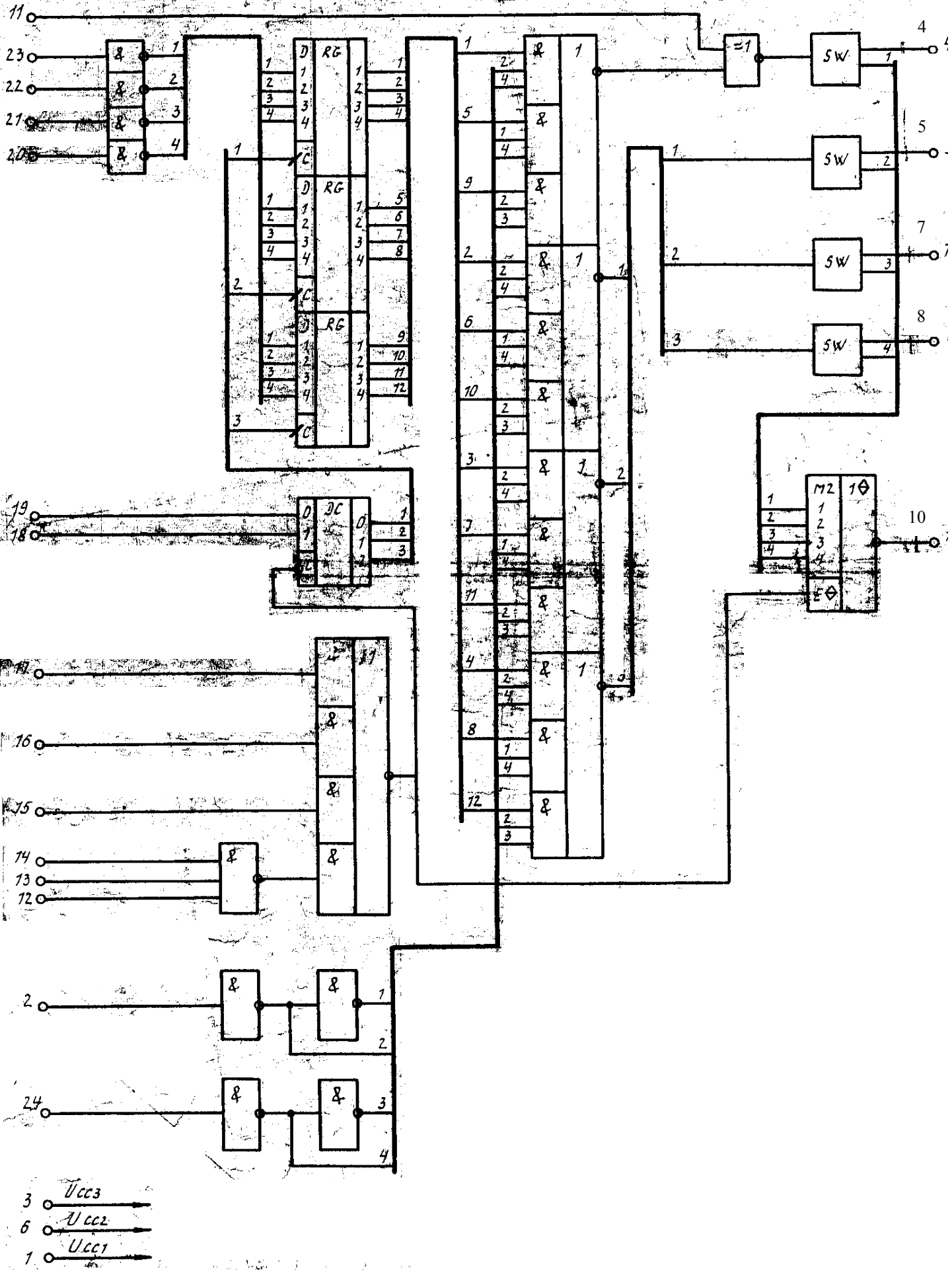
2. Для активного запираения транзисторов VT13 и VT15 используется транзистор VT10, который также открывается на короткое время, затем он закрывается и не мешает включению.

#### **СХЕМА КОНТРОЛЯ КОРОТКОГО ЗАМЫКАНИЯ**

---

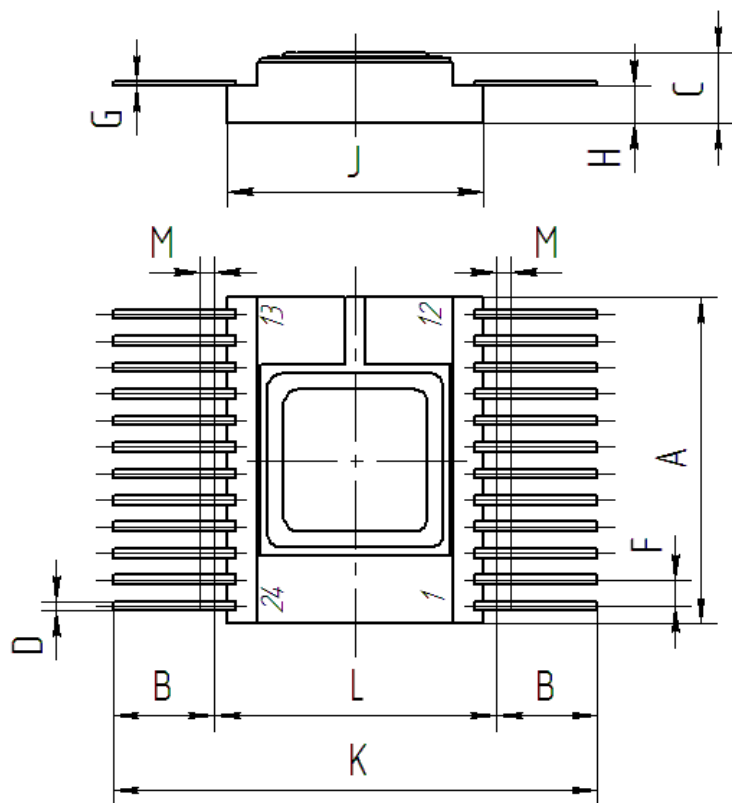
Схема контроля короткого замыкания построена на диодах VD1,VD2 и VD6, транзисторе VT1 и R3.

В случае если напряжение на выходе при состоянии высокого уровня не поднимется более чем  $2U_D$ , тогда транзистор VT1 - останется закрытый, что и является сигналом для определения короткозамкнутой нагрузки.





ГАБАРИТНЫЙ ЧЕРТЕЖ КОРПУСА 4118.24-1Н



МИЛЛИМЕТРЫ		
	МИН	МАКС
A	15,2	15,6
B	4,2	4,8
C	---	3,2
D	0,31	0,45
F	1,25	
G	0,13	0,2
H	1,3	1,8
J	11,8	12,2
K	21	22,8
L	---	13,2
M	---	0,7